

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-237692

(43)Date of publication of application : 23.10.1991

(51)Int.Cl.

G11C 16/04
G11C 11/21
H01L 27/115

(21)Application number : 02-033438

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.02.1990

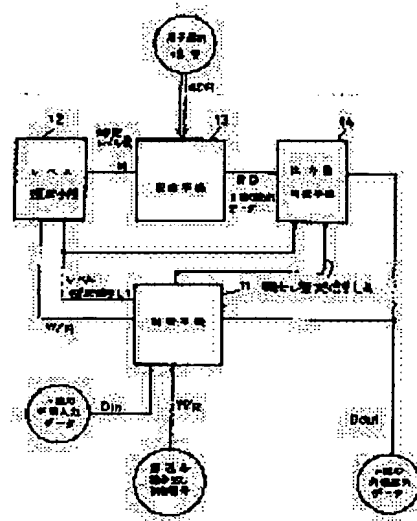
(72)Inventor : HARADA NORIO

(54) NON-VOLATILE MULTIVALUE STORAGE DEVICE

(57)Abstract:

PURPOSE: To reduce the number of data storage elements by storing a charge quantity based on ternary external input data in one storage element of a storage means and setting the element in one of three storage states.

CONSTITUTION: At the time of writing data, a specified level quantity M based on ternary external input data D_{in} is stored in one storage element of the storage means 13, which is designated based on an element selection signal ADR and one storage element is set to one of three storage states based on ternary external input data D_{in} . At the time of reading data, a control means 11 and an output value judgement means 14 judge the storage state of one storage element of the storage means 13, which is designated based on the element selection signal ADR and a judgement result is outputted as ternary external output data D_{out} based on a read selection signal LA . Consequently, the memory capacity of the ternary storage device can be expanded to $3n$. Thus, the number of the data storage elements can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP) ⑩ 特許出願公開
 ⑫ 公開特許公報(A) 平3-237692

⑤ Int. Cl.⁵ 識別記号 庁内整理番号 ⑬ 公開 平成3年(1991)10月23日
 G 11 C 16/04
 11/21
 H 01 L 27/115 8522-5B
 7131-5B G 11 C 17/00 3 0 8
 8831-5F H 01 L 27/10 4 3 4
 審査請求 未請求 請求項の数 1 (全11頁)

⑭ 発明の名称 不揮発性多値記憶装置

⑯ 特 願 平2-33438

⑰ 出 願 平2(1990)2月13日

⑱ 発 明 者 原 田 紀 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
 内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 岡 本 啓 三

明 細 書

1. 発明の名称

不揮発性多値記憶装置

2. 特許請求の範囲

n 値の外部入力データ(Din)及び書き込み／読出制御信号(W/R)を入力してレベル選択信号(L1)、書き込み／読出制御信号(W/R)及び読み出し選択信号(LA)を出力する制御手段(11)と、前記レベル選択信号(L1)及び書き込み／読出制御信号(W/R)を入力して特定レベル量(M)を出力するレベル選択手段(12)と、前記特定レベル量(M)を素子選択信号(ADR)に基づいて格納する記憶手段(13)と、前記素子選択信号(ADR)、レベル選択信号(L1)及び読み出し選択信号(LA)に基づいて読み出された2値の出力データ(RD)を判定してn値の外部出力データ(Dout)に変換する出力値判定手段(14)とを具備し、

前記記憶手段(13)の一記憶素子が複数の量的記憶状態の内の一つの記憶状態を保持すること

を特徴とする不揮発性多値記憶装置。

3. 発明の詳細な説明

(目次)

概要

産業上の利用分野

従来の技術(第8図)

発明が解決しようとする課題

課題を解決するための手段(第1図)

作用

(i) 第1の実施例の説明(第2～第4図)

(ii) 第2の実施例の説明(第5図)

(iii) 第3の実施例の説明(第6図)

(iv) 第4の実施例の説明(第7図)

発明の効果

(概 要)

不揮発性多値記憶装置、特に電気的に情報の書換えが可能で電源を切っても情報が消えない性質(不揮発性)を有するEEPROM(Electrically Erasable Programmable Read Only Memory)

特開平3-237692 (2)

や磁気記憶装置の記憶機能の拡張に関し、

該EEPROM等の記憶状態を2以下に設定することなく、書き込み/読出機能を工夫して1ビットに2値以上の記憶状態を持たせ、データ記憶素子数の低減化を図ることを目的とし、

n値の外部入力データ及び書き込み/読出制御信号を入力してレベル選択信号、書き込み/読出制御信号及び読み出し選択信号を出力する制御手段と、前記レベル選択信号及び書き込み/読出制御信号を入力して特定レベル量を出力するレベル選択手段と、前記特定レベル量を素子選択信号に基づいて格納する記憶手段と、前記素子選択信号、レベル選択信号及び読み出し選択信号に基づいて読み出された2値の出力データを判定してn値の外部出力データに変換する出力値判定手段とを具備し、前記記憶手段の一記憶素子が複数の量的記憶状態の内の一つの記憶状態を保持することを含み構成する。

書き込み/読出制御回路1は、2値の外部入力データDinに基づいてアドレスADR、書き込み/読出制御信号S1及び消去信号S2を出力するものである。記憶素子2は、破線円内図に示すように一つの記憶細胞がビット線BLに接続された選択トランジスタT1とフローティングゲート電極FGを持つメモリトランジスタT2から成る。

当該装置の機能は、外部入力データDinに基づいてデータを書き込む場合には、セレクトゲートSGを介して選択トランジスタT1が活性化され、選択されたメモリトランジスタT2のコントロールゲートCGがドレインDに対して正に設定され、書き込み電圧発生回路3によりフローティングゲート電極FGに電荷eが注入されて閾値電圧が上げられる。

また、外部入力データDinに基づいてデータを読み出す場合には、記憶素子2にアドレスADRを指定する。これにより、選択されたメモリトランジスタT2の2値の外部出力データDoutを得ることができる。

(産業上の利用分野)

本発明は、不揮発性多値記憶装置に関するものであり、さらに詳しく言えば、電気的に情報の書き換えが可能で電源を切っても情報が消えない性質(不揮発性)を有するEEPROMや磁気記憶装置の記憶機能の拡張に関するものである。

近年、データ処理装置の高機能・高性能化の要求に伴い、該処理装置が取り扱うデータは膨大な量となり、そのデータ記憶装置の記憶容量の増大化が余儀無くされている。

そこで、1ビットに2値以上の記憶状態を持たせ、データ記憶素子数の低減化を図ることができる記憶装置の要望がある。

(従来の技術)

第8図は、従来例に係る不揮発性2値記憶装置の構成図である。

図において、EEPROM等の不揮発性2値記憶装置は、書き込み/読出制御回路1と記憶素子2及び書き込み電圧発生回路3等から成る。

なお、データを消去する場合には、コントロールゲートCGを接地してドレインDに逆向の高電圧を印加する。これにより、電荷eが放出されてデータが消去される。

(発明が解決しようとする課題)

ところで、従来例によればメモリトランジスタT2の閾値電圧を制御することにより、一つの記憶細胞に2値のデータを記憶している。しかし、データ処理装置の高機能・高性能化の要求に伴い、該処理装置が取り扱うデータ量は膨大化の傾向にある。

このため、データ記憶装置のメモリ容量の増設化が余儀無くされている。この場合のメモリ容量は2ⁿに比例するものである。

これにより、一つの記憶装置に多くのデータ記憶素子の形成要求がされることから、半導体集積回路装置の高集積化の妨げとなるという問題がある。

本発明はかかる従来例の問題点に臨みて創作さ

れたものであり、EEPROM等の記憶状態を2以下に設定することなく、書き込み/読出機能を工夫して一つの記憶細胞に2値以上の記憶状態を持たせ、データ記憶素子数の低減化を図ることを可能とする不揮発性多値記憶装置の提供を目的とする。

〔課題を解決するための手段〕

第1図は、本発明に係る不揮発性多値記憶装置の原理図を示している。

その装置は、 n 値の外部入力データ D_{in} 及び書き込み/読出制御信号 W/R を入力してレベル選択信号 L 1、書き込み/読出制御信号 W/R 及び読み出し選択信号 $L A$ を出力する制御手段 1 1 と、前記レベル選択信号 L 1 及び書き込み/読出制御信号 W/R を入力して特定レベル量 M を出力するレベル選択手段 1 2 と、前記特定レベル量 M を素子選択信号 $A D R$ に基づいて格納する記憶手段 1 3 と、前記素子選択信号 $A D R$ 、レベル選択信号 L 1 及び読み出し選択信号 $L A$ に基づいて読み出された 2

レベル量 M が格納される。この際の特定レベル量 M の格納方法は、例えば EEPROM の場合には電荷注入量をフィードバック制御しながら変化させ、閾値電圧レベルを変化させることで、一つの記憶素子を 3 値の外部入力データ D_{in} に基づく 3 つの記憶状態のいずれか一の状態にすることができる。

また、データ読出時には、素子選択信号 $A D R$ に基づいて指定された記憶手段 1 3 の一つの記憶素子の記憶状態が制御手段 1 1 及び出力値判定手段 1 4 により判定され、判定結果が読み出し選択信号 $L A$ に基づいて 3 値の外部出力データ D_{out} として出力される。

このため、従来例の 2 値の記憶装置のメモリ容量 2^n に比べて 3 値の記憶装置のメモリ容量を 3^n に拡張することができる。このことで、データ処理装置の高機能・高性能化の要求に伴うデータ量が膨大化された場合であっても十分対処することが可能となる。

これにより、データ記憶素子数の削減をすることができることから半導体集積回路装置の高集積

特開平3-237692 (3)

値の出力データ $R D$ を判定して n 値の外部出力データ D_{out} に変換する出力値判定手段 1 4 とを具備し、前記記憶手段 1 3 の一記憶素子が複数の量的記憶状態の内の一つの記憶状態を保持することとを特徴とし、上記目的を達成する。

〔作用〕

本発明によれば、特定レベル量 M を素子選択信号 $A D R$ に基づいて格納する記憶手段 1 3 にレベル選択手段 1 2 と出力値判定手段 1 4 とが設けられている。

例えば、3 値の外部入力データ D_{in} 及び書き込み/読出制御信号 W/R を入力した制御手段 1 1 からレベル選択信号 L 1 がレベル選択手段 1 2 と出力値判定手段 1 4 とに、読み出し選択信号 $L A$ が出力値判定手段 1 4 に、書き込み/読出制御信号 W/R がレベル選択手段 1 2 にそれぞれ出力される。これにより、データ書き込み時には、素子選択信号 $A D R$ に基づいて指定された記憶手段 1 3 の一記憶素子に 3 値の外部入力データ D_{in} に基づく特定

化を図ることが可能となる。

〔実施例〕

次に図を参照しながら本発明の実施例について説明をする。

第2～第7図は、本発明の実施例に係る不揮発性多値記憶装置を説明する図である。

(i) 第1の実施例の説明

第2図は、本発明の各実施例に係る 3 値 EEPROM の構成図を示している。

図において、2 1 は制御手段 1 1 の一実施例となる書き込み/読出制御回路であり、3 値の外部入力データ D_{in} を入力してレベル選択信号 $S 00$ 、 $S 01$ 、 $S 11$ 、書き込み/読出制御信号 W/R 、読出し制御信号 $S R$ 、ラッチ選択信号（読み出し選択信号） $L A$ 及び消去/書き込み選択信号 $S E$ を出力するものである。

2 2 はレベル選択手段 1 2 の一実施例となるレベル選択回路であり、パルス信号発生回路 2 2 a、

特開平3-237692 (4)

読出電圧発生選択回路22b、パルス電圧選択回路22c及びゲート回路22dから成る。パルス電圧選択回路22cは、書き込み制御信号SW及びレベル選択信号L1に基づいて3つの書き込みパルス電圧、例えば、20、10、0〔V〕を選択し、パルス信号発生回路22aからそれを選択出力させるものである。

読出電圧発生回路22bは、読出し制御信号SRに基づいて2つの読出電圧、例えば、3、5〔V〕を出力するものである。ゲート回路22dは、書き込み／読出制御信号W/R及び消去信号SEに基づいて書き込み或いは消去パルス又は読出電圧に切り換えて、それをワード線WL1～WLnを選択するトランジスタTW1～TWn或いは消去用トランジスタTrE1に出力するものである。

23は記憶手段13の一実施例となる $m \times n$ 個のメモリ素子であり、特定レベル量Mとして電荷量を格納するものである。またメモリ素子23は、フローティングゲート電極FGを持つメモリトランジスタTMと出力信号の比較増幅回路23aから

成る。トランジスタTMのコントロールゲートCGはトランジスタTW1～TWnに、そのソースSは接地線GNDに、そのドレインDはビット線選択トランジスタTB1～TBnにそれぞれ接続される。さらに、比較増幅回路23aは出力値判定回路24に接続される。これにより、メモリトランジスタTMはビット線BL1～BLnとワード線WL1～WLnの交点によって選択されたデータが読み出される。

24は出力値判定手段14の一実施例となる比較判定出力回路であり、ラッチ回路24a、ゲート回路24b及び比較器24cから成る。ラッチ回路24aは、読出制御信号SRに基づいて2つの読出電圧3、5〔V〕が選択回路22bに出力されたときに、当該読出電圧のときの出力データRDを記憶するものである。また、出力データRDはラッチ選択信号LAに基づいて出力される。

ゲート回路24bは、ラッチ回路24aの出力データDRを3値の外部データDoutに変換するものである。また、比較器24cは選択されたメモリトランジスタTMから読出された出力データDRと

書き込みようとしているデータとを比較し、その比較結果を制御回路21にフィードバックするものである。

これらにより、本発明の各実施例に係る3値EEPROMを構成する。

次に、当該EEPROMの動作について説明をする。

第3図は、本発明の第1の実施例に係る書き込み時の動作フローチャートである。

図において、まず、ステップP1でアドレスADRを指定する。この際に、3値の外部入力データDinを入力した書き込み／読出制御回路21がレベル選択信号S00、S01、S11をパルス電圧選択回路22cに書き込み／読出制御信号W/Rをゲート回路22dに、書き込み制御信号SWをパルス信号発生回路22aに、それぞれ出力をする。

次いで、ステップP2でパルス信号発生回路22aを活性化してデータ書き込みをする。この際のデータ書き込みは、同図の破線円内図に示すようなパルス信号の振幅変調方式による。この変調方

式は、予め、3値の外部入力データDin＝{0、1/2、1}に対応した書き込み電圧0〔V〕、10〔V〕、20〔V〕に基づいて、指定されたメモリ素子23のフローティングゲートFGへの電荷注入量を変化させるものである。これにより、メモリトランジスタTMの閾値電圧が3段階に設定され、3つの記憶状態のうちの状態を該トランジスタTMに持たせることができる。

次に、ステップP3で再び読出し処理をする。この際の読出し処理は、予め規定されたトランジスタTMの閾値電圧になる電荷が注入されたか、否かを判定するためのものである。その処理は、読出し制御信号SRにより活性化された読出電圧発生回路22bが2つの読出電圧3、5〔V〕を2回に分けてメモリトランジスタTMのコントロールゲートCGに印加することにより行われる。

その後、ステップP4で書き込みデーター出力データの比較判定をする。

次いで、ステップP5で他のアドレスADRの処理をする。

特開平3-237692 (5)

第4図は、本発明の第1の実施例に係る読出し時の動作フローチャートを示している。

図において、まず、ステップP1でアドレスADRを指定する。

次いで、ステップP2で読出電圧発生回路22b及びラッチ1 (LATCH1) を活性化して読出処理をする。この際の実出処理は、読出し制御信号SRにより活性化された読出電圧発生回路22bが読出電圧3 (V) をメモリトランジスタTMのコントロールゲートCGに印加することにより行われる。

次いで、ステップP3でトランジスタTMのON/OFF動作の判定が行われ、ラッチ1に出力データDRが記憶される。

次に、ステップP4で制御回路21からの読出し制御信号SRによって読出電圧5 (V) を選択する信号が読出電圧発生回路22bに与えられる。これにより、読出電圧5 (V) がメモリトランジスタTMのコントロールゲートCGに印加される。この際に信号LAによりラッチ1は、不活性化さ

される。

次いで、ステップP7で他のアドレスADRの処理をする。

(ii) 第2の実施例の説明

第5図は、本発明の第2の実施例に係る書き込み時の動作フローチャートを示している。

図において、第1の実施例と異なるのは、第2の実施例ではパルス信号発生回路22aが、パルス回数制御方式に基づいてデータ書き込みをするものである。

すなわち、第2図のEEPROMの構成図において、パルス信号発生回路22aは書き込み制御信号SWに基づいて振幅一定であって、パルス回数が異なる書き込みパルス電圧を選択回路22cに出力するものである。

従って、書き込み時の動作は第1の実施例と同様に、まず、ステップP1でアドレスADRを指定する。

次いで、ステップP2で書き込みパルスを任意

れ、ステップP3の出力データDRが保存されると同時に、ラッチ2 (LATCH2) が活性化される。

さらに、ステップP5でステップP3と同様に読み出しが行われ、ラッチ2に出力データRDが記憶される。

その後、ステップP6でラッチ1、2のデータRDが出力値判定回路24bにより3値のデータに変換出力される。例えば、読出電圧3、5 (V) に対して、該トランジスタTMが全て「ON」動作したときには、3値の外部出力データDout = 1を出力する。また、読出電圧3 (V) に対して該トランジスタTMが「OFF」動作し、読出電圧5 (V) に対して「ON」動作したときには、3値の外部出力データDout = 1/2 を出力する。

さらに、読出電圧3、5 (V) に対して、該トランジスタTMが全て「OFF」動作したときには、3値の外部出力データDout = 1を出力する。なお、これらの3値の外部出力データDout = (0, 1/2, 1) は、2値のデジタル信号0 → 00, 1/2 → 01又は10, 1 → 11にして伝送

回数入力する。この際の実データ書き込みは、同図の破線円内図に示すようなパルス回数制御方式による。この制御方式は、3値の外部入力データDin = (0, 1/2, 1) に対応して、例えば書き込み回数0, 2, 4 (回) に基づいて、指定されたメモリ素子23のフローティングゲートFGへの電荷注入量を変化させるものである。これにより、第1の実施例と同様にメモリトランジスタTMの閾値電圧が3段階に設定され、3つの記憶状態のうちの1の状態を該トランジスタTMに持たせることができる。

次に、ステップP3で仮り読出し処理をする。この際の実出処理は、予め規定されたトランジスタTMの閾値電圧になる電荷が注入されたか、否かを判定するためのものである。その処理は、第1の実施例と同様である。

その後、ステップP4で書き込みデーター出力データの比較判定をする。この際の判定も、第1の実施例と同様である。

次いで、ステップP5で他のアドレスADRの処

特開平3-237692 (6)

理をする。

なお、読出処理動作は第1の実施例と同様であるため説明を省略する(第4図参照)。

(iii) 第3の実施例の説明

第6図は、本発明の第3の実施例に係る書き込み時の動作フローチャートを示している。

図において、第1、第2の実施例と異なるのは、第3の実施例ではパルス信号発生回路22aが、パルス幅変調方式に基づいてデータ書き込みをするものである。

すなわち、第2図のEEPROMの構成図において、パルス信号発生回路22aは書き込み制御信号SWに基づいて振幅一定であって、パルス通電期間が異なる書き込みパルス電圧を選択回路22cに出力するものである。

従って、書き込み時の動作は第1、第2の実施例と同様に、まず、ステップP1でアドレスADRを指定する。

次いで、ステップP2で書き込みパルスの通電

理をする。

なお、読出処理動作は第1、第2の実施例と同様であるため説明を省略する(第4図参照)。

(iv) 第4の実施例の説明

第7図は、本発明の第4の実施例に係る書き込み時の動作フローチャートを示している。

図において、第1、第2、第3の実施例と異なるのは、第4の実施例ではパルス信号発生回路22aが、固定パルスを1回のみ発生し、比較回路24cと制御回路21とで出力値を監視しながら外部入力データDinと外部出力データDoutとが一致するまで書き込みをするものである。

すなわち、第2図のEEPROMの構成図において、制御回路21内に第7図に示した動作フローチャートのステップP4→P6→P2又はP7を実行することが可能なプログラムをハードウェア上で実現するものである。

この際、書き込み方式は、ステップP2の破線円内図に示すように、例えば、3値の外部入力デ

ータDinを任意に変える。この際、データ書き込みは、同図の破線円内図に示すようなパルス幅変調方式による。この変調方式は、3値の外部入力データDin(0, 1/2, 1)に対応して、例えば書き込み通電時間 t_0 , t_1 , t_2 に基づいて指定されたメモリ素子23のフローティングゲートFGへの電荷注入量を変化させるものである。これにより、第1、第2の実施例と同様にメモリトランジスタTMの閾値電圧が3段階に設定され、3つの記憶状態のうちの一の状態を該トランジスタTMに持たせることができる。

次に、ステップP3で仮読出し処理をする。この際、読出し処理は、予め規定されたトランジスタTMの閾値電圧になる電荷が注入されたか、否かを判定するためのものである。その処理は、第1、第2の実施例と同様である。

その後、ステップP4で書き込みデータ出力データの比較判定をする。この際の判定も、第1、第2の実施例と同様である。

次いで、ステップP5で他のアドレスADDの処

理をする。この際、データDin(0, 1/2, 1)に対応して、通電期間 t 、書き込み電圧 V_0 (V)の固定パルスを(パルス発生、パルス発生、パルス未発生)と対応させて、指定されたメモリ素子23のフローティングゲートFGへの電荷注入量を変化させるものである。例えば、パルス発生「0, 1/2」に対して、ステップP3で仮読出し処理の結果、ステップP4で書き込みデータ出力データとなった場合に、その値が記憶されたと比較回路24cが判定し、制御回路21の次の処理が行われるまで書き込み動作が行われる。このようにして、メモリ素子23のフローティングゲートFGへの電荷注入量を変化させるものである。

これにより、第1、第2、第3の実施例と同様にメモリトランジスタTMの閾値電圧が3段階に設定され、3つの記憶状態のうちの一の状態を該トランジスタTMに持たせることができる。

なお、その他の動作は第1、第2、第3の実施例と同様であるため説明を省略する(第4図参照)。

また、第4の実施例では、第1、第2、第3の

特開平3-237692 (7)

実施例に比べて、製造プロセス精度を原因とするメモリ素子23のバラツキに対して固定バースを1回加える毎に書き込みデータ=出力データを判定することにより、他の書き込み動作に比較して高速化を図ることができる。

このようにして、本発明の各実施例によれば、電荷量を格納する複数のメモリ素子23にレベル選択回路22と出力値判定回路24とが設けられている。

このため、データ書き込み時には、アドレスADRに基づいて指定されたメモリ素子23のメモリトランジスタTMに3値の外部入力データDinに基づく電荷量がフィードバック制御されながら変化し、閾値電圧レベルを変化させることで、該トランジスタTMを3値の外部入力データDinに基づく3つの記憶状態のいずれか一の状態にすることができる。

また、データ読出時には、アドレスADRに基づいて指定されたメモリ素子23の一つのトランジスタTMの記憶状態が出力値判定回路24により

判定され、その判定結果に基づいて3値の外部出力データDout = (0, 1/2, 1) が出力される。

このため、従来例の2値の記憶装置のメモリ容量2ⁿに比べて3値の記憶装置のメモリ容量を3ⁿに拡張することができる。このことで、データ処理装置の高機能・高性能化の要求に伴うデータ量が膨大化された場合であっても十分対処することが可能となる。

これにより、データ記憶素子数の削減をすることができることから半導体集積回路装置の高集積化を図ることが可能となる。

なお、本発明の各実施例では特定レベル量Mに電荷量を用いた3値のEEPROMの場合について述べたが、それ以上のn値のEEPROMについてもトランジスタ特性が許容される限り、メモリ容量の削減を図ることができる。また、該特定レベル量Mに磁荷量を用いる磁気記憶装置についても同様な効果が得られる。

(発明の効果)

以上説明したように、本発明によれば記憶手段の一記憶素子に3値の外部入力データに基づく電荷量を格納することによって、該素子を3つの記憶状態のいずれか一の状態にすることができる。

このため、指定された記憶素子の3つの記憶状態のいずれかを判定出力することにより、記憶装置のメモリ容量を3ⁿに拡張することができる。このことで、データ記憶素子数の削減が図られ、半導体集積回路装置の高集積化をすることが可能となる。

これにより、膨大のデータ量を扱うデータ処理装置の高機能・高性能化に寄与するところが大きい。

4. 図面の簡単な説明

第1図は、本発明に係る不揮発性多値記憶装置の原理図、

第2図は、本発明の各実施例に係る3値EEPROMの構成図、

第3図は、本発明の第1の実施例に係る書き込み時の動作フローチャート、

第4図は、本発明の第1の実施例に係る読出し時の動作フローチャート、

第5図は、本発明の第2の実施例に係る書き込み時の動作フローチャート、

第6図は、本発明の第3の実施例に係る書き込み時の動作フローチャート、

第7図は、本発明の第4の実施例に係る書き込み時の動作フローチャート、

第8図は、従来例に係る不揮発性2値記憶装置の構成図である。

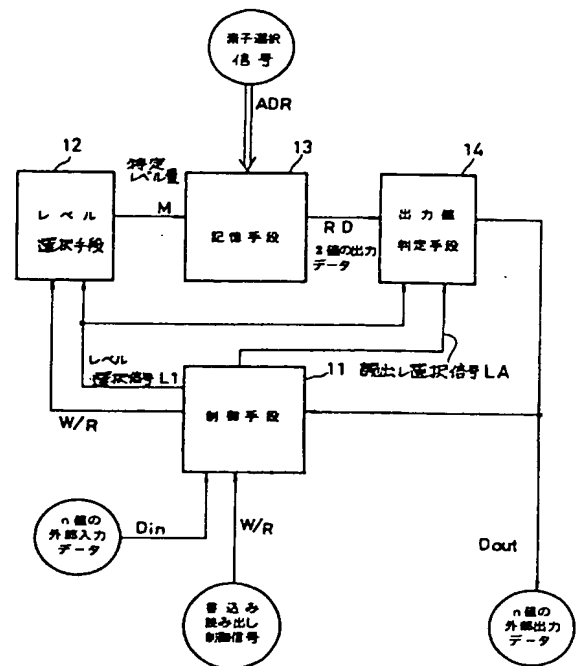
(符号の説明)

- 11…制御手段、
- 12…レベル選択手段、
- 13…記憶手段、
- 14…出力値判定手段、
- 15…制御手段、
- L1…レベル選択信号、
- LA…読み出し選択信号、

特開平3-237692 (8)

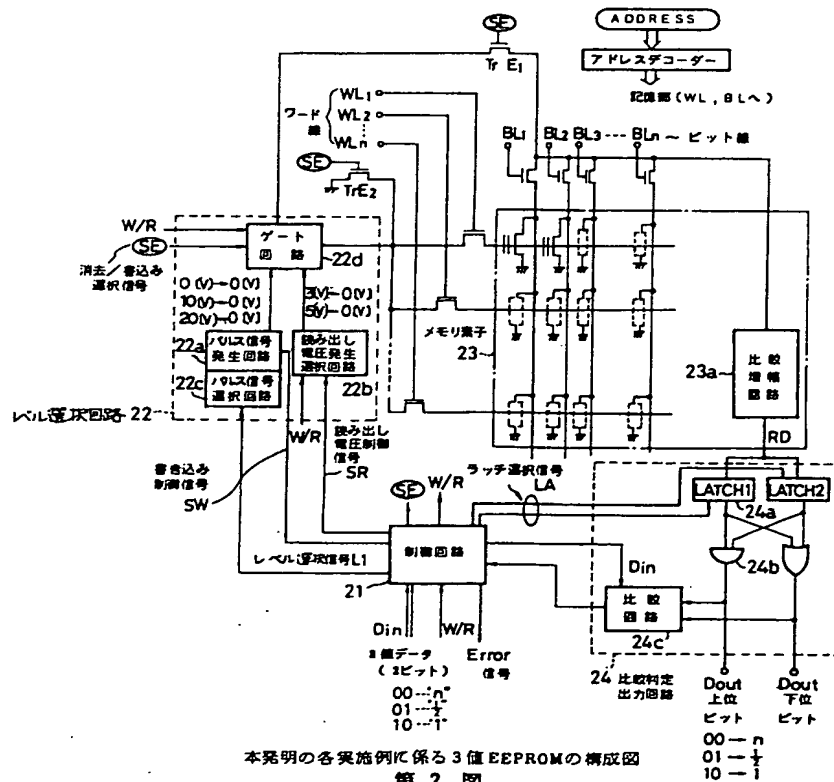
W/R …書き込み／読出制御信号、
 ADR…素子選択信号、
 M…特定レベル量、
 Din…n 値の外部入力データ、
 DR … 2 値の出力データ、
 Dout … n 値の外部出力データ。

特許出願人 富士通株式会社
 代理人弁理士 岡本 啓三



本発明に係る不揮発性多値記憶装置の原理図

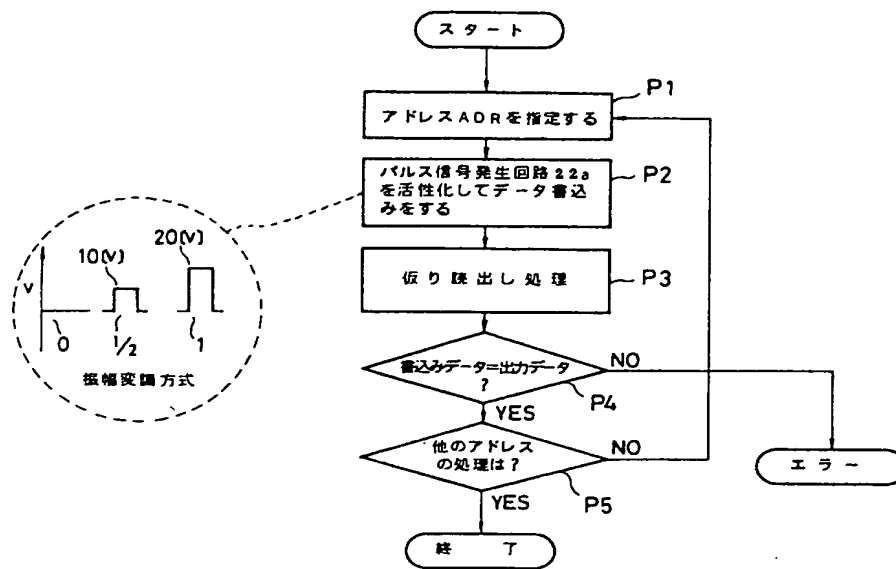
第 1 図



本発明の各実施例に係る 3 値 EEPROM の構成図

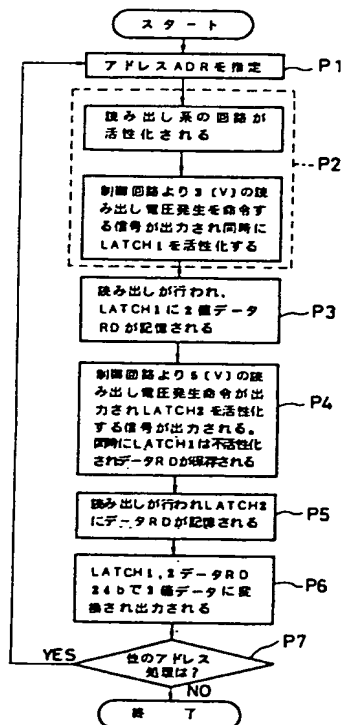
第 2 図

特開平3-237692 (9)



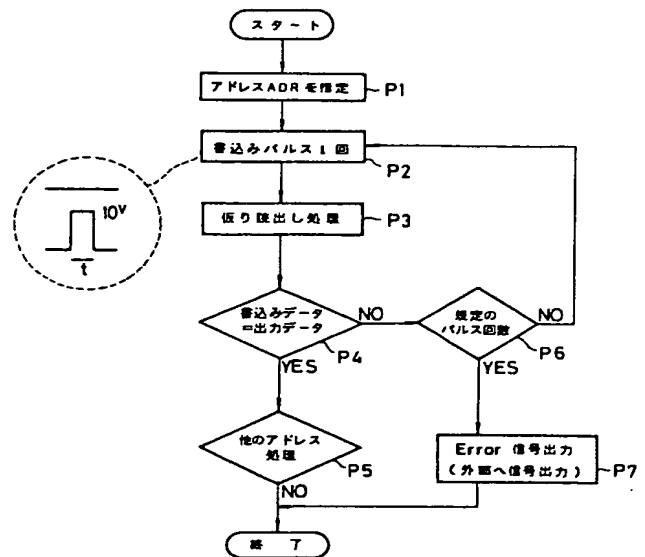
本発明の第1の実施例に係る書き込み時の動作フローチャート

第3図



本発明の第1の実施例に係る読み出し時の動作フローチャート

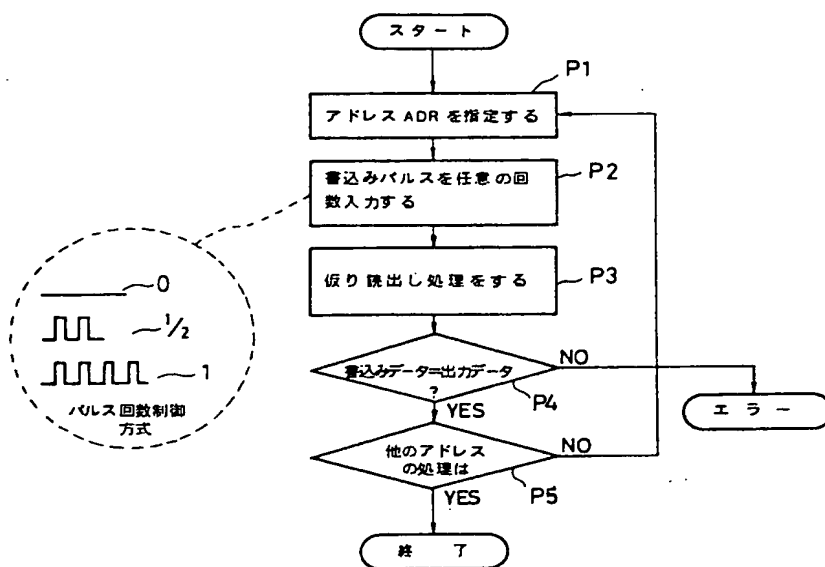
第4図



本発明の第4の実施例に係る書き込み時の動作フローチャート

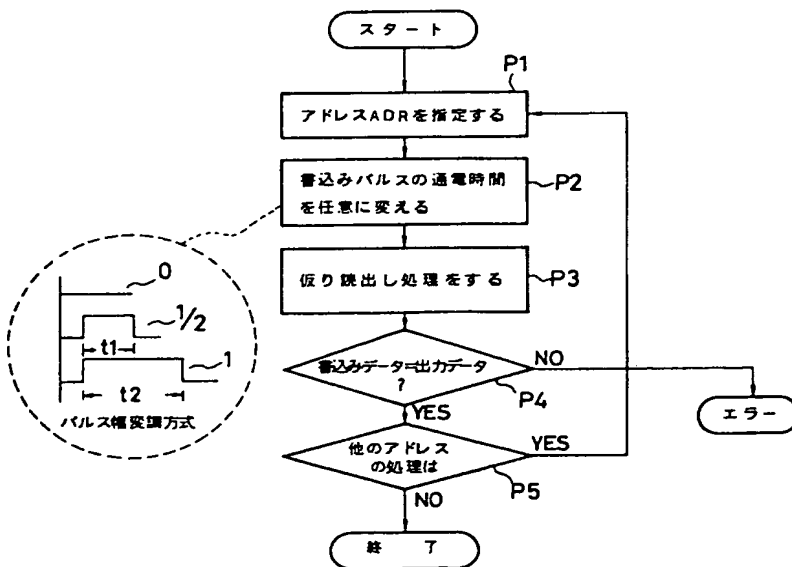
第7図

特開平3-237692 (10)



本発明の第2の実施例に係る書き込み時の動作フローチャート

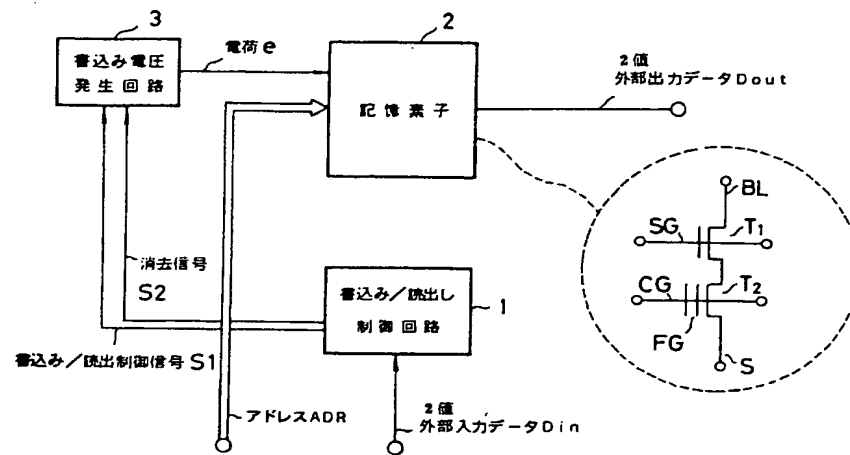
第5図



本発明の第3の実施例に係る書き込み時の動作フローチャート

第6図

特開平3-237692 (11)



従来例に係る不揮発性2値記憶装置の構成図

第8図

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: Hei-3-237692

(43) Date of Publication of Application: October 23, 1991

(51) Int. Cl.⁵ Identification Number

G 11 F 16/04

11/21

H 01 L 27/115

Intraoffice Reference Number:

8522-5B

7131-5B G 11 C 17/00 308

8831-5F H 01 L 27/10 434

Request for Examination: not made

Number of Claims: 1 (11 pages in total)

(21) Application Number Hei-2-33438

(22) Application Date: February 13, 1990

(72) Inventor: HARADA Norio, c/o Fujitsu Ltd., 1015,
Kamiodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa-ken

(71) Applicant: Fujitsu Ltd., 1015, Kamiodanaka, Nakahara-ku,
Kawasaki-shi, Kanagawa-ken

(74) Agent: Patent Attorney, OKAMOTO Keizo

Specification

1. Title of the Invention

NONVOLATILE MULTIVALUED STORAGE DEVICE

2. Claim

A nonvolatile multivalued storage device, comprising:
control means 11 for inputting n-valued external input data Din and a write/read control signal W/R and outputting a level selection signal L1, a write/read control signal W/R and a read selection signal LA; level selection means 12 for inputting the level selection signal L1 and the write/read control signal W/R and outputting a specified level quantity M; storage means 13 for storing the specified level quantity M on the basis of an element selection signal ADR; and output value determination means 14 for determining the binary output data RD read out according to the element selection signal ADR, the level selection signal L1 and the read selection signal LA and converting the same to the n-valued external output data Dout, wherein one storage element of the storage means 13 retains one storage state of a plurality of quantitative storage states.

3. Detailed Description of the Invention

[Contents]

Summary

Industrial Field of Application

Prior Art (Fig. 8)

Problems that the Invention is to Solve

Means for Solving the Problems (Fig. 1)

Operation

(i) Description of First Embodiment (Figs. 2 to 4)

(ii) Description of Second Embodiment (Fig. 5)

(iii) Description of Third Embodiment (Fig. 6)

(iv) Description of Fourth Embodiment (Fig. 7)

Advantage of the Invention

[Summary]

This invention relates to a nonvolatile multivalued storage device and particularly to the extension of the storage function of EEPROM (Electrically Erasable Programmable Read Only Memory) having the property (nonvolatile) such that the information can be electrically reloaded and when the power supply is cut off, the information is not erased and the magnetic storage device, and it is an object of the invention to decrease the number of data storage elements by devising the write/read function to give binary or more valued storage state to one bit without setting the storage state of the EEPROM or the like to 2 or less.

This nonvolatile multivalued storage device includes: control means for inputting n-valued external input data and a write/read control signal and outputting a level selection signal, a write/read control signal and a read selection

signal; level select means for inputting the level selection signal and the write/read control signal and outputting a specified level quantity; storage means for storing the specified level quantity on the basis of an element selection signal; and output value determination means for determining the binary output data read out according to the element selection signal, the level selection signal and the read selection signal and converting the same to the n-valued external output data, wherein one storage element of the storage means retains one storage state of two or more quantitative storage states.

[Industrial Field of Application]

This invention relates to a nonvolatile multivalued storage device and particularly to the extension of the storage function of EEPROM (Electrically Erasable Programmable Read Only Memory) having the property (nonvolatile) such that the information can be electrically reloaded and when the power supply is cut off, the information is not erased and the magnetic storage device.

In recent years, with the request for high function and high performance of a data processor, the quantity of data handled by the processor becomes enormous, so it is unavoidable to increase the storage capacity of the data storage device.

Therefore, there is a demand toward a storage device, which may give the binary or more storage state to one bit to

decrease the number of data storage elements.

[Prior Art]

Fig. 8 is a block diagram of a nonvolatile binary storage device according to the prior art.

In the drawing, a nonvolatile binary storage device such as EEPROM is composed of a write/read control circuit 1, a storage element 2 and a write voltage generation circuit 3.

The write/read control circuit 1 outputs an address ADR, a write/read control signal S1 and an erase signal S2. The storage element 2 is, as shown in the drawing encircled by a broken line, so constructed that one storage cell is composed of a select transistor T1 connected to a bit line BL, and a memory transistor T2 having a floating gate electrode FG.

The device is functioned so that in the case of writing data according to the external input data Din, the select transistor T1 is activated through a selection gate SG, a control gate CG of a selected memory transistor T2 is set to positive to a drain D, and electric charges (e) are injected to a floating gate FG by the write voltage generation circuit 3 to raise the threshold voltage.

In the case of reading out the data according to the external input data Din, the address ADR is designated to the storage element 2. Thus, the binary external output data Dout of the selected memory transistor T2 can be obtained.

In the case of erasing the data, the control gate CG is grounded to apply reverse high voltage to the drain D. Thus, the electric charges (e) are released to erase the data.

[Problems that the Invention is to Solve]

According to the prior art, the threshold voltage of the memory transistor T2 is controlled to store the binary data in one memory cell. However, with the demands toward high function and high performance of the data processor, the amount of data treated by the processor trends to become enormous.

Consequently, it is unavoidable to add the memory capacity to the data storage device. In this case, the memory capacity is proportional to 2^n .

Therefore, it is necessary to form a number of data storage elements in one storage device, which causes the problem of hindering high integration of a semiconductor integrated circuit.

The invention has been made in the light of the problems of the prior art, and it is an object of the invention to provide a nonvolatile multivalued storage device, which may decrease the number of data storage elements by thinking out the write/read function to give binary or more storage state to one storage cell without setting the storage state of EEPROM or the like to two or less.

[Means for Solving the Problems]

Fig. 1 is a diagram showing the principle of a nonvolatile multivalued storage device according to the invention.

The device includes: control means 11 for inputting n-valued external input data D_{in} and a write/read control signal W/R and outputting a level selection signal L_1 , a write/read control signal W/R and a read selection signal LA ; level selection means 12 for inputting the level selection signal L_1 and the write/read control signal W/R and outputting a specified level quantity M ; storage means 13 for storing the specified level quantity M on the basis of an element selection signal ADR ; and output value determination means 14 for determining the binary output data RD read out according to the element selection signal ADR , the level selection signal L_1 and the read selection signal LA and converting the same to the n-valued external output data D_{out} , wherein one storage element of the storage means 13 retains one storage state of a plurality of quantitative storage states.

[Operation]

According to the invention, the storage means 13 for storing the specified level quantity M on the basis of the element selection signal ADR is provided with the level selection means 12 and the output value determination means 14.

For example, from the control means 11 to which the ternary external input data D_{in} and the write/read control signal W/R are input, the level selection signal $L1$ is output to the level selection means 12 and the output value determination means 14, the read selection signal LA to the output value determination means, and the write/read control signal W/R to the level selection means 12, respectively. Thus, at the time of writing data, the specified level quantity M based on the ternary external input data D_{in} is stored in one storage element 3 specified on the basis of the element selection signal ADR . At that time, the method of storing the specified level quantity is as follows. In the case of EEPROM, for example, the quantity of electric charges injected is varied under the feedback control to vary the threshold voltage level, thereby putting one storage element in one state of three storage states based on the ternary external input data D_{in} .

On the other hand, at the time of reading data, the storage state of one storage element of the storage means 13 specified on the basis of the element selection signal ADR is determined by the control means 11 and the output value determination means 14, and the determination result is output as the ternary external output data D_{out} on the basis of the read selection signal LA .

Therefore, as compared with the memory capacity 2^n of the conventional binary storage device, the memory capacity

of the ternary storage device can be expanded to 3^n . Thus, the invention can thoroughly cope even with the case where the data amount is made enormous with the demands toward high function and high performance of the data processor.

Accordingly, the number of data storage elements can be reduced so as to achieve high integration of the semiconductor integrated circuit device.

[Embodiments]

The embodiments of the invention will now be described with reference to the drawings.

Figs. 2 to 7 are diagrams for explaining the nonvolatile multivalued storage devices according to the embodiments of the invention.

(i) Description of First Embodiment

Fig. 2 shows a block diagram of ternary EEPROM according to the respective embodiments of the invention.

In the drawing, the reference numeral 21 is a write/read control circuit, which is one embodiment of control means 11, to which ternary external input data Din is input to output level selection signals S00, S01, S11, a write/read control signal W/R, a read control signal SR, a latch selection signal (read selection signal) LA and an erase/write selection signal SE.

The reference numeral 22 is a level selection circuit,

which is one embodiment of level selection means 12, and the circuit is composed of a pulse signal generation circuit 22a, a read voltage generation selection circuit 22b, a pulse voltage selection circuit 22c and a gate circuit 22d. The pulse voltage selection circuit 22c selects three write pulse voltages such as 20, 10 and 0 [V] according to a write control signal SW and a level select signal L1, and selects and outputs the same from the pulse signal generation circuit 22a.

The read voltage generation circuit 22b outputs two read voltages such as 3 and 5 [V] according to the read control signal SR. The gate circuit 22d selects write or erase pulse or read voltage according to the write/read control signal W/R and the erase signal SE, and outputs the same to transistors TW1 to TWn for selecting word lines WL1 to WLn or an erase transistor TrE1.

The reference numeral 23 is $m \times n$ memory elements, which is one embodiment of storage means 13, and stores the charge quantity as a specified level amount M. The memory element 23 is composed of a memory transistor TM having a floating gate electrode FG and a compare amplifier circuit 23a for an output signal. A control gate CG of the transistor TM is connected to the transistor TW1 to TWn, the source S thereof is connected to a grounding conductor GND, and the drain D thereof is connected to bit line selection transistors TB1 to TBn. Further, the compare amplifier circuit 23a is connected to an

output value determination circuit 24. Thus, in the memory transistor TM, the data selected by points of intersection of the bit lines BL1 to BLn and the word lines WL1 to WLn is read.

The reference numeral 24 is a compare determination output circuit, which is one embodiment of output value determination means 14, and the circuit is composed of a latch circuit 24a, a gate circuit 24b and a comparator 24c. When two read voltages 3, 5[V] are output to the selection circuit 22b according to the read control signal SR, the latch circuit 24a stores the output data RD at the concerned read voltage. The output data RD is output according to the latch selection signal LA.

The gate circuit 24b converts the output data DR of the latch circuit 24a to the ternary external data Dout. The comparator 24c compares the output data DR read from the selected memory transistor TM with data to be written, and feedbacks the comparison result to the control circuit 21.

A ternary EEPROM related to the respective embodiments of the invention is constituted by these parts.

The operation of the EEPROM will now be described.

Fig. 3 is an operational flowchart in writing according to the first embodiment of the invention.

In the drawing, first in the step P1, an address ADR is designated. At the time, the write/read control circuit 21 to which the ternary external input data Din is input outputs

the level selection signals S00, S01, S11 to the pulse voltage selection circuit 22c, the write/read control signal W/R to the gate circuit 22d, and the write control signal SW to the pulse signal generation circuit 22a, respectively.

Subsequently, in the step P2, the pulse signal generation circuit 22a is activated to write data. In this case, data writing is performed by a pulse signal amplitude modulation technique as shown in a part enclosed in a broke-line circle in the drawing. According to the modulation technique, previously the quantity of charges injected into the floating gate FG of the specified memory element 23 is varied on the basis of the write voltages 0[V], 10[V], 20[V] corresponding to the ternary external input data $D_{in} = [0, 1/2, 1]$. Thus, the threshold voltage of the memory transistor TM is set in three stages, and among three storage states, one state is given to the transistor TM.

Subsequently, in the step P3, temporary read processing is performed. In this case, the read processing is to determine whether the electric charges, which reach the threshold voltage of a previously specified transistor TM, are injected or not. The processing is performed so that the read voltage generation circuit 22b activated by the read control signal SR divides two read voltages 3, 5[V] and applies the same to the control gate CG of the memory transistor TM separately two times.

After that, in the step P4, the write data and the output

data are compared and determined.

Subsequently, in the step P5, another address ADR is processed.

Fig. 4 shows the flowchart in reading operation according to the first embodiment of the invention.

In the drawing, first in the step P1, an address ADR is specified.

Subsequently, in the step P2, the read voltage generation circuit 22b and the latch 1 (LATCH 1) are activated to perform read processing. In this case, the read processing is performed so that the read voltage generation circuit 22b activated by the read control signal SR applies the read voltage 3[V] to the control gate CG of the memory transistor TM.

Subsequently, in the step P3, the on/off operation of the transistor TM is determined and the output data DR is stored in the latch 1.

Subsequently, in the step P4, a signal for selecting the read voltage 5[V] by the read control signal SR from the control circuit 21 is given to the read voltage generation circuit 22b. Thus, the read voltage 5[V] is applied to the control gate CG of the memory transistor TM. At the time, the latch 1 is inactivated by the signal LA to save the output data DR of the step P3, and simultaneously a latch 2 (LATCH2) is activated.

Further, in the step P5, similarly to the step 3, reading is performed and the output data RD is stored in the latch 2.

After that, in the step P6, the data RD of the latches 1, 2 is converted to the ternary data and output by the output value determination circuit 24b. For the read voltages 3, 5[V], for example, when the transistors TM are all on-operated, the ternary external output data Dout=1 is output. On the other hand, when the transistor TM is off-operated for the read voltage 3[V], and on-operated for the read voltage 5[V], the ternary external output data Dout=1/2 is output.

Further, when the transistors TM are all off-operated for the read voltages 3, 5[V], the ternary external output data Dout=1 is output. These ternary external output data Dout=[0, 1/2, 1] are transformed to binary digital signals $0 \rightarrow 00$, $1/2 \rightarrow 01$ or 10 , $1 \rightarrow 11$ and transmitted.

Subsequently, in the step P7, another address ADR is processed.

(ii) Description of Second Embodiment

Fig. 5 shows a flowchart in write operation according to a second embodiment of the invention.

In the drawing, the difference from the first embodiment is that in the second embodiment, a pulse signal generation circuit 22a writes data according to the pulse count control system.

That is, in the block diagram of EEPROM in Fig. 2, a pulse signal generation circuit 22a outputs write pulse voltage,

having constant amplitude and different in pulse frequency to a selection circuit 22c according to a write control signal SW.

Accordingly, in the operation in writing, similarly to the first embodiment, first in the step P1, an address ADR is specified.

Subsequently, in the step P2, a write pulse is input for an arbitrary number of times. Data writing in this case is performed according to a pulse frequency control system as shown in a part enclosed in a broken line circle in the drawing. In this control system, corresponding to the ternary external input data $D_{in} = [0, 1/2, 1]$, the quantity of electric charges injected to a floating gate FG of a specified memory element 23 is varied on the basis of write counts 0, 2, 4 [times], for example. Thus, similarly to the first embodiment, the threshold voltage of a memory transistor TM is set in three stages, and one of the three storage states is given to the transistor TM.

Subsequently, in the step P3, temporary read processing is performed. The read processing in this case is performed to determine whether the electric charges, which reach the threshold voltage of a previously specified transistor TM, are injected or not. The processing is similar to that in the first embodiment.

After that, in the step P4, the write data and the output

data are compared and determined. Determination in this case is also similarly to that in the first embodiment.

Subsequently, in the step P5, another address ADR is processed.

The read processing operation is similar to that of the first embodiment, so the description is omitted (See Fig. 4).

(iii) Description of Third Embodiment

Fig. 6 shows a flowchart in writing operation according to a third embodiment of the invention.

In the drawing, the difference from the first and second embodiments is that in the third embodiment, a pulse signal generation circuit 22a performs data writing according to the pulse duration modulation technique.

That is, in the block diagram of EEPROM in Fig. 2, the pulse signal generation circuit 22a outputs write pulse voltage having a constant amplitude and different in pulse conducting period to a selection circuit 22c according to a write control signal SW.

Accordingly, the operation in writing is similar to those of the first and second embodiments, and first in the step P1, an address ADR is specified.

Subsequently, in the step P2, the conducting time of the write pulse is varied arbitrarily. Data writing in this case is performed according to a pulse duration modulation technique

as shown in a part enclosed in a broken line circle in the drawing. In the modulation technique, corresponding to the ternary external input data $D_{in} = [0, 1/2, 1]$, the quantity of electric charges injected into a floating gate FG of a specified memory element 23 is varied on the basis of write conducting time 0, t_1 , t_2 . Thus, similarly to the first and second embodiments, the threshold voltage of a memory transistor TM is set in three stages, and one state of the three storage states is given to the transistor TM.

Subsequently, in the step P3, temporary read processing is performed. The read processing in this case is performed to determine whether the electric charges, which reach the threshold voltage of the previously specified transistor TM, are injected or not. The processing is similarly to those of the first and second embodiments.

After that, in the step P4, the write data and the output data are compared and determined. Determination in this case is also similar to those of the first and second embodiments.

Subsequently, in the step P5, another address ADD is processed.

The read processing operation is similar to those of the first and second embodiments, so the description is omitted (See Fig. 4).

(iv) Fourth Embodiment

Fig. 7 shows a flowchart in writing operation according to a fourth embodiment of the invention.

In the drawing, the difference from the first, second and third embodiments is that in the fourth embodiment, a pulse signal generation circuit 22a generates a fixed pulse only one time, and writes data until the external input data D_{in} conforms to the external output data D_{out} while the output value is monitored by a comparison circuit 24c and a control circuit 21.

That is, in the block diagram of EEPROM in Fig. 2, a program for executing the steps $P4 \rightarrow P6 \rightarrow P2$ or $P7$ of the operation flowchart shown in Fig. 7 is implemented on hardware in the control circuit 21.

According to the write system in this case, as shown in a part enclosed in a broken line circle in the step P2, for example, corresponding to the ternary external input data $D_{in} = [0, 1/2, 1]$, a fixed pulse having the conducting time (t) and write voltage 10 [V] is generated corresponding to [pulse generation, pulse generation, pulse non-generation], thereby varying the quantity of electric charges injected into a floating gate FG of a specified memory element 23. For example, corresponding to pulse generation $[0, 1/2]$, as a result of temporary read processing in the step P3, when the write data matches the output data in the step P4, a comparison circuit 24c determines that the value is stored, and the write operation

is performed until the next processing of the control circuit 21 is performed. Thus, the quantity of electric charges injected into the floating gate FG of the memory element 23 is varied.

Thus, similarly to the first, second and third embodiments, the threshold voltage of the memory transistor T_m is set in three stages, and one state of the three storage states is given to the transistor T_m .

The other operations are similar to those of the first, second and third embodiments, so the description is omitted (See Fig. 4).

In the fourth embodiment, as compared with the first, second and third embodiments, it is determined whether or not the write data conforms to the output data every time a fixed pulse is applied one time to the variation of the memory element 23 caused by the manufacturing process accuracy, whereby the write operation can be accelerated as compared with the other write operations.

Thus, according to the respective embodiments of the invention, two or more memory elements 23 storing the quantity of electric charges are provided with a level selection circuit 22 and an output value determination circuit 24.

Therefore, at the time of writing the data, while the quantity of electric charges based on the ternary external input data D_{in} is feedbacked to the memory transistor T_m of

the memory element 23 specified on the basis of the address ADR, it is varied to change the threshold voltage level, thereby putting the transistor TM in one state of three storage states based on the ternary external input data Din.

On the other hand, at the time of reading the data, the storage state of one transistor TM of the memory element 23 specified on the basis of the address ADR is determined by the output value determination circuit 24, and on the basis of the determination result, the ternary external output data Dout = [0, 1/2, 1] is output.

Accordingly, as compared with the memory capacity 2^n of the conventional binary storage device, the memory capacity of the ternary storage device can be extended to 3^n . Thus, even if the data amount is made enormous with the demands toward high function and high performance of the data processor, the invention can thoroughly cope with such situation.

Thus, the number of the data storage elements can be reduced, so that the semiconductor integrated circuit device can be highly integrated.

Although the description of the respective embodiments of the invention deals with the ternary EEPROM using the quantity of electric charges at a specified level quantity M, concerning the n-valued (n is more than 3) EEPROM, the memory capacity can be reduced as far as the transistor characteristic is allowable. Further, the similar effect can be obtained in

a magnetic storage device using the quantity of magnetic charges at the specified level quantity M.

[Advantage of the Invention]

According to the invention, as described above, the charge quantity based on the ternary external input data is stored in one storage element of the storage means, whereby the element can be put in one state of the three storage stages.

Therefore, one of the three storage states of the specified storage element is determined and output to thereby extend the memory capacity of the storage device to 3^n . Thus, the number of data storage elements can be reduced so as to attain high integration of the semiconductor integrated circuit device.

Thus, the invention largely contributes to high function and high performance of the data processor treating enormous amount of data.

4. Brief Description of the Drawings

Fig. 1 is a diagram showing the principle of a nonvolatile multivalued storage device according to the invention;

Fig. 2 is a block diagram of a ternary EEPROM according to the respective embodiments of the invention;

Fig. 3 is a flowchart in the write operation according to a first embodiment of the invention;

Fig. 4 is a flowchart in the read operation according

to the first embodiment of the invention;

Fig. 5 is a flowchart in the write operation according to a second embodiment of the invention;

Fig. 6 is a flowchart in the write operation according to a third embodiment of the invention:

Fig. 7 is a flowchart in the write operation according to a fourth embodiment of the invention; and

Fig. 8 is a block diagram of a nonvolatile binary storage device according to the prior art.

[Description of the Reference Numerals and Signs]

11: control means,

12: level selection means,

13: storage means,

14: output value determination means,

15: control means,

L1: level selection signal,

LA: read selection signal,

W/R: write/read control signal,

ADR: element selection signal,

M: specified level quantity,

Din: n-valued external input data,

DR: binary output data,

Dout: n-valued external output data.

FIG. 1:

DIAGRAM SHOWING PRINCIPLE OF NONVOLATILE MULTIVALUED STORAGE
DEVICE ACCORDING TO THE INVENTION

M: SPECIFIED LEVEL QUANTITY

ADR: ELEMENT SELECTION SIGNAL

RD: BINARY OUTPUT DATA

L1: LEVEL SELECTION SIGNAL

LA: READ SELECTION SIGNAL

Din: N-VALUED EXTERNAL INPUT DATA

W/R: WRITE/READ CONTROL SIGNAL

Dout: n-VALUED EXTERNAL OUTPUT DATA

11: CONTROL MEANS

12: LEVEL SELECT MEANS

13: STORAGE MEANS

14: OUTPUT VALUE DETERMINATION MEANS

FIG. 2:

BLOCK DIAGRAM OF TERNARY EEPROM ACCORDING TO THE RESPECTIVE
EMBODIMENTS OF THE INVENTION

ADDRESS → ADDRESS DECODER → STORAGE PARTS (TO WL, BL)

WL1, WL2 WLN: WORD LINE

BL1, BL2, BL3 BLN: BIT LINE

SE: ERASE/WRITE SELECTION SIGNAL

SW: WRITE CONTROL SIGNAL

SR: READ VOLTAGE CONTROL SIGNAL

LA: LATCH SELECTION SIGNAL
 L1: LEVEL SELECTION SIGNAL
 Din: TERNARY DATA (2 BITS)
 ERROR SIGNAL
 Dout: HOST BIT
 Dout: LOW ORDER BIT
 21: CONTROL CIRCUIT
 22: LEVEL SELECTION CIRCUIT
 22a: PULSE SIGNAL GENERATION CIRCUIT
 22b: READ VOLTAGE GENERATION SELECTION CIRCUIT
 22c: PULSE SIGNAL SELECTION CIRCUIT
 22d: GATE CIRCUIT
 23: MEMORY ELEMENT
 23a: COMPARE AMPLIFIER CIRCUIT
 24: COMPARISON DETERMINATION OUTPUT CIRCUIT
 24c: COMPARATOR CIRCUIT

FIG. 3:

FLOWCHART IN WRITE OPERATION ACCORDING TO FIRST EMBODIMENT OF
 THE INVENTION

START

P1: SPECIFY AN ADDRESS ADR.

P2: ACTIVATE PULSE SIGNAL GENERATION CIRCUIT 22a TO WRITE DATA.

P3: TEMPORARY READ PROCESSING

P4: WRITE DATA = OUTPUT DATA?

→ ERROR

P5: ANOTHER ADDRESS IS PROCESSED?

END

AMPLITUDE MODULATION TECHNIQUE

FIG. 4:

FLOWCHART IN READ OPERATION ACCORDING TO THE FIRST EMBODIMENT
OF THE INVENTION

START

P1: SPECIFY AN ADDRESS ADR.

P2: ACTIVATE CIRCUIT OF READ SYSTEM.

OUTPUT SIGNAL INSTRUCTING TO GENERATE READ VOLTAGE OF 3[V]
FROM CONTROL CIRCUIT, AND SIMULTANEOUSLY ACTIVATE LATCH1.

P3: READ IS PERFORMED TO STORE TERNARY DATA RD IN LATCH 1.

P4: OUTPUT INSTRUCTION FOR GENERATING READ VOLTAGE 5[V] FROM
CONTROL CIRCUIT AND OUTPUT SIGNAL FOR ACTIVATING LATCH 2.
SIMULTANEOUSLY LATCH 1 IS DEACTIVATED TO SAVE DATA RD.

P5: READ IS PERFORMED TO STORE DATA RD IN LATCH 2.

P6: CONVERT DATA RD IN LATCHES 1, 2 TO TERNARY DATA BY 24b,
AND OUTPUT THE SAME.

P7: ANOTHER ADDRESS IS PROCESSED?

END

FIG. 5:

FLOWCHART IN WRITE OPERATION ACCORDING TO SECOND EMBODIMENT

OF THE INVENTION

START

P1: SPECIFY AN ADDRESS ADR.

P2: INPUT WRITE PULSE FOR ARBITRARY NUMBER OF TIMES.

P3: PERFORM TEMPORARY READ PROCESSING.

P4: WRITE DATA = OUTPUT DATA?

→ ERROR

P5: ANOTHER ADDRESS IS PROCESSED?

END

PULSE FREQUENCY CONTROL SYSTEM

FIG. 6:

FLOWCHART IN WRITE OPERATION ACCORDING TO THIRD EMBODIMENT OF
THE INVENTION

START

P1: SPECIFY AN ADDRESS ADR.

P2: ARBITRARILY VARY THE CONDUCTING TIME OF WRITE PULSE.

P3: PERFORM TEMPORARY READ PROCESSING.

P4: WRITE DATA = OUTPUT DATA?

→ ERROR

P5: ANOTHER ADDRESS IS PROCESSED?

END

PULSE DURATION MODULATION TECHNIQUE

FIG. 7:

FLOWCHART IN WRITE OPERATION ACCORDING TO FOURTH EMBODIMENT OF
THE INVENTION

START

P1: SPECIFY AN ADDRESS ADR.

P2: WRITE PULSE ONE TIME

P3: TEMPORARY READ PROCESSING

P4: WRITE DATA = OUTPUT DATA?

NO: P6: SPECIFIED PULSE CIRCUIT?

P5: ANOTHER ADDRESS IS PROCESSED?

P7: OUTPUT ERROR SIGNAL. (OUTPUT SIGNAL TO OUTSIDE)

END

FIG. 8:

BLOCK DIAGRAM OF NONVOLATILE BINARY STORAGE DEVICE ACCORDING
TO PRIOR ART

e: ELECTRIC CHARGE

ADR: ADDRESS

Din: BINARY EXTERNAL INPUT DATA

Dout: BINARY EXTERNAL OUTPUT DATA

S1: WRITE/READ CONTROL SIGNAL

S2: ERASE SIGNAL

1: WRITE/READ CONTROL CIRCUIT

2: STORAGE ELEMENT

3: WRITE VOLTAGE GENERATION CIRCUIT